

PAT-NO: JP405160591A

DOCUMENT-IDENTIFIER: JP 05160591 A

TITLE: COOLING MECHANISM FOR STACK TYPE
IN-CIRCUIT EMULATOR

PUBN-DATE: June 25, 1993

INVENTOR-INFORMATION:

NAME

SHINPO, AKIRA

HAGINO, AKIHIRO

ASAMA, HIROMI

ASSIGNEE-INFORMATION:

NAME

KK SOFUIA SYST

COUNTRY

N/A

APPL-NO: JP03347785

APPL-DATE: December 4, 1991

INT-CL (IPC): H05K007/20, G01R031/28 , G06F011/22

US-CL-CURRENT: 174/252, 361/695

ABSTRACT:

PURPOSE: To ensure a stable temperature environment by providing a fan unit having a cooling fan at the uppermost part of stacked cases, and connecting passages to be sequentially passing through upper and lower surfaces of a circuit board disposed therein when the cases are stacked.

CONSTITUTION: An inlet 21e is connected to an outlet 22d, an inlet 22e is connected to an outlet 25d and an inlet 25e is connected to an outlet 24d of

cases from above in a state that units are stacked, and passages 22c, 25c, 24c passing through the units are connected. Thus, when a small-sized axial-flow fan 21c is rotated, the air flows from a lower bottom cover 30 side into an inlet 24e in a direction of an arrow A, then passes through the passages 24c, 25c, 22c through the fan 21c and from an inlet 21d in a direction of an arrow B. Accordingly, provided circuit boards 24b, 25b, 22b are efficiently cooled from both side surfaces to ensure a stable temperature environment.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-160591

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl.⁵

識別記号

片内整理番号

FI

技術表示箇所

H 0 5 K 7/20

H 8509-4E

G 0 1 R 31/28

G 0 6 F 11/22

3 4 0 A 9290-5B

6912-2G

G 0 1 R 31/ 28

H

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-347785

(22)出願日 平成3年(1991)12月4日

(71)出願人 390027890

株式会社ソフィアシステムズ

東京都新宿区西新宿2-4-1 新宿NS
ビル8F

(72)発明者 新保 亮

神奈川県川崎市麻生区南黒川6-2 株式
会社ソフィアシステムズマイコンシティ事
業所内

(72)発明者 萩野 明弘

神奈川県川崎市麻生区南黒川6-2 株式
会社ソフィアシステムズマイコンシティ事
業所内

(74)代理人 弁理士 桜井 隆夫

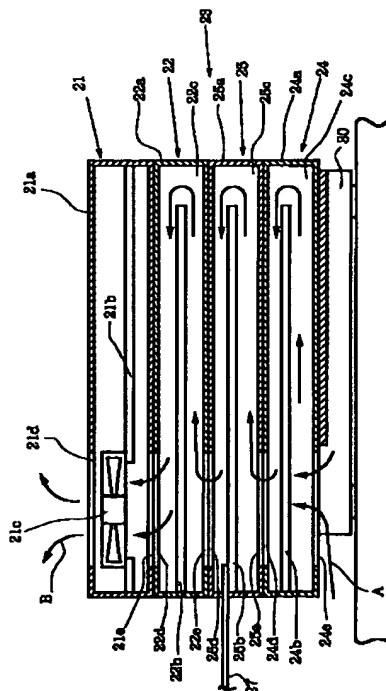
最終頁に続く

(54)【発明の名称】 スタック型インサークットエミュレータの冷却機構

(57)【要約】

【目的】 各機能ごとにユニット化しスタック構造のインサークットエミュレータにおいて、安定した温度環境を確保できるスタック型インサークットエミュレータの冷却機構を提供する。

【構成】 複数の回路基板をそれぞれ単一かつ個別のケースに收容し、これらケースを積み重ねたスタック型インサークットエミュレータにおいて、前記積み重ねたケースの最上部には、冷却用のファンを装備したファンユニットが設けられ、かつ前記ケースが積み重ねられたときには、それぞれの内部に配置された回路基板の上下面を順次通過する流通路が連通される。



【特許請求の範囲】

【請求項1】 複数の回路基板をそれぞれ単一かつ個別のケースに収容し、これらケースを積み重ねたスタック型インサークットエミュレータにおいて、前記積み重ねたケースの最上部には、冷却用のファンを装備したファンユニットが設けられ、かつ前記ケースが積み重ねられたときには、それぞれの内部に配置された回路基板の上下面を順次通過する流通路が連通されることを特徴とするスタック型インサークットエミュレータの冷却機構。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、インサークットエミュレータを機能ごとに単一のユニットとして同じケース内に収納し、これらを組み合わせて積み重ね構造としたスタック型インサークットエミュレータの冷却機構に関するものである。

【0002】

【従来の技術】 インサークットエミュレータは、マイクロプロセッサのメモリアクセス等をモニタしてトリガ点やブレーク点を検出し、ターゲットマイクロプロセッサの動作を停止させたり、トレースを停止させる機能を有し、マイクロプロセッサ開発支援装置として利用されている。

【0003】

【発明が解決しようとする課題】 ところで、近年、インサークットエミュレータにおいても、高速化したプロセッサに高い信頼性を持って対応することが要請され、このために配線遅延をなくすることが必要な段階になっており、エミュレーションCPUをできるだけターゲット側に近い先端側に配置することが常識となっている。これにより、ターゲットシステムとのインターフェース条件は飛躍的に改善されるが、エミュレータを制御する側のタイミングが厳しくなり、そのため本体側の機能ユニットもできる限りエミュレーションCPUに近付ける必要性が出てきた。

【0004】 しかしながら、従来のような構成でそれを実現した場合には、本体側には電源回路を含むため小型化するにも限界があり、また真に必要なユニットだけを選択的に使用できるよう構成されていないため、余分なスペースに邪魔されることがあった。さらに、機能ユニットを構成する回路基板を本体に着脱する構造のため、操作性が損なわれることがあった。

【0005】 これに対して本発明者等は、用途に合わせたシステムを簡単に選択でき、高速化に対応できるように機能ユニットを小型化でき、かつ操作性を向上できるように、各機能ごとにユニット化したインサークットエミュレータを提案してきた。

【0006】 ところが、各機能ユニットの回路基板は、同じサイズのケース内に収納されよう構成されているため、発熱問題に対しても安定した動作を確保する必要

があった。

【0007】 そこで本発明は、各機能ごとにユニット化しスタック構造のインサークットエミュレータにおいて、安定した温度環境を確保できるスタック型インサークットエミュレータの冷却機構を提供することを目的とする。

【0008】

【課題を解決するための手段】 上記目的を達成するために、本発明のスタック型インサークットエミュレータの冷却機構は、複数の回路基板をそれぞれ単一かつ個別のケースに収容し、これらケースを積み重ねたスタック型インサークットエミュレータにおいて、前記積み重ねたケースの最上部には、冷却用のファンを装備したファンユニットが設けられ、かつ前記ケースが積み重ねられたときには、それぞれの内部に配置された回路基板の上下面を順次通過する流通路が連通されるものである。

【0009】

【作用】 本発明によれば、ケースの最上部に設けたファンユニットの冷却用のファンにより、内部に配置された回路基板の上下面を順次通過する流通路を通して空気が流れるため、それぞれの回路基板が上下面から冷却され、安定した温度環境が確保される。

【0010】

【実施例】 以下、本発明を図示の一実施例により具体的に説明する。図2は本発明実施例のインサークットエミュレータの全体構成を説明する斜視図である。

【0011】 同図において、本実施例のインサークットエミュレータ10は、ホストコンピュータ11とケーブル12で接続され、また各部に電源を供給するための電源装置13がケーブル14で接続されている。この電源装置13は、将来のオプションユニットを追加する場合にも十分な電源容量を有し、どこにでも配置できるコンパクトな形状に形成され、インサークットエミュレータ10との間は、例えば、6mm程度の外径で長さが1.5M程度の柔軟な丸型のケーブル14で接続され、かつホストコンピュータ11の電源による遠隔制御が行われるように構成されている。また、インサークットエミュレータ10は、その実現に必要ないくつかの代表的な機能を、それぞれ単一かつ個別の同じサイズのケースに収納してユニットにし、これらを選択的に組み合わせ、積み重ね（スタック）構造に構成している。

【0012】 図3は本発明実施例のインサークットエミュレータの分解斜視図であり、本実施例では、上部からファンユニット21と、トレースユニット22と、実行ユニット（プローブユニット）23と、エミュレーションメモリユニット24とから構成されている。実行ユニット23は、上部側のアナライザ・バスと下部側のエミュレーションメモリ・バスに分離されており、それぞれ上部側及び下部側のユニットに接続されている。

【0013】 上記ファンユニット21は、後に詳細に説

明するように、内部に冷却ファンを装備し、ユニットが積み重ねて接続されたときに、すべてのユニットの冷却を行うようになっており、また、上面には本システムの動作状態を確認するためのステータスLEDや冷却用風の流出口が設けられている。このファンユニット21を接続しないときには、すべてのユニットに電源装置13から電源が供給されない安全設計になっている。

【0014】上記トレースユニット22は、エミュレーションCPUの実行状態を、実行ユニット23の共通バスを通してリアルタイムにストアする機能を有するユニットであり、高機能にストアするための制御用ゲートアレイとメモリにより構成されている。

【0015】上記実行ユニット23は、CPUの実行を制御するためのユニットであり、ホストコンピュータ11内に格納される図示しないエミュレータ制御のホストカードとのインターフェース回路、CPUのピンステータスポート及び制御信号のコントロールスイッチポート、トレースユニット22とのインターフェース回路等が搭載されたプロンプベースユニット25と、CPUと制御用ゲートアレイ等の制御回路が搭載されたプロンプ先端部26とがフレキシブルケーブル27で接続されている。また、この実行ユニット23のフレキシブルケーブル27と反対側の端面には、ケーブル12、14を接続するための図示しないコネクタが設けられている。

【0016】上記エミュレーションメモリユニット24は、メモリのエミュレーションを行うためのユニットであり、メモリマップ用ゲートアレイ、バススワップ用ゲートアレイ等の制御回路とメモリから構成される。このメモリは、例えば、高速SRAM（スタティックラム）を使用しており、256Kから最大4MBまでの記憶容量の選択ができるようになっている。

【0017】上記各ユニット上面及び対応する下面には、その長手方向の両側に上下ユニット間を電氣的に接続するコネクタ28と、上下ユニットを互いにロックするとともに分離するための着脱機構29と、後に説明する冷却機構用の流通口とが設けられている。このコネクタ28は、例えば、ハーフピッチ2列型で160極の信号ピンと電源供給用の端子を有し、クロストークによる障害を防止できるようピン列間にシールド対策を施した高速伝送用のコネクタである。

【0018】図1は本発明実施例のスタック型インサークットエミュレータの冷却機構を説明する断面図である。同図において、インサークットエミュレータ10は、上部からファンユニット21、トレースユニット22、実行ユニット23のプロンプベースユニット25、エミュレーションメモリユニット24が順次積み重ねて接続されている。上記ファンユニット21のケース21a内の一方側には、支持板21bに直流の小型軸流ファン21cが装備されており、かつこの小型軸流ファン21cの上部及び下部には風の流出口21d及び流入口2

1eが形成されている。この小型軸流ファン21cは、空気を流入口21eから流出口21dに向けて流すように回転する。また、上記トレースユニット22のケース22a内には、回路基板22bを境にしてその下側から上側に空気が流れる流通路22cが形成され、かつ流入口21eに対応するケース22a部分に流出口22dが形成され、この流出口22d下方のケース22aに流入口22eが形成されている。同様にして、上記のプロンプベースユニット25のケース25a内には、回路基板25bを境にして流通路25cが形成され、かつケース25aには流出口25dと流入口25eが形成されている。また、同様にエミュレーションメモリユニット24のケース24a内には、回路基板24bを境にして流通路24cが形成され、かつケース24aには流出口24dと流入口24eが形成されている。また、このケース24aの下部には、ボトムカバー30が設けられている。

【0019】上記構成のスタック型インサークットエミュレータの冷却機構によれば、各ユニットが積み重ねられた状態では、それぞれ上部からケース間の、流入口21eと流出口22d、流入口22eと流出口25d、流入口25eと流出口24dが接続され、それぞれのユニット間を通る流通路22c、25c、24cが連通される。これで、小型軸流ファン21cが回転するときには、下方のボトムカバー30側から矢印A方向に空気が流入口24eに流れ込み、続いて流通路24c、25c、22cを通り小型軸流ファン21cを経て流出口21dから矢印B方向に流出する。従って、流通路24c、25c、22cを通過するときに、それぞれに設けられた回路基板24b、25b、22bが両面から効率よく冷却され、安定した温度環境を確保できる。

【0020】なお、上記実施例において、ファンユニット21の下部に、トレースユニット22、実行ユニット23、エミュレーションメモリユニット24を積み重ねているが、これに限られず、同様に構成された流通路が連通するようにした別のユニットを追加してもよい。

【0021】

【発明の効果】以上説明したように本発明によれば、ケースの最上部に設けたファンユニットの冷却用のファンにより、内部に配置された回路基板の上下面を順次通過する流通路を通して空気が流れるため、それぞれの回路基板が上下面から冷却され、安定した温度環境が確保できる効果がある。

【図面の簡単な説明】

【図1】本発明実施例のスタック型インサークットエミュレータの冷却機構を説明する断面図である。

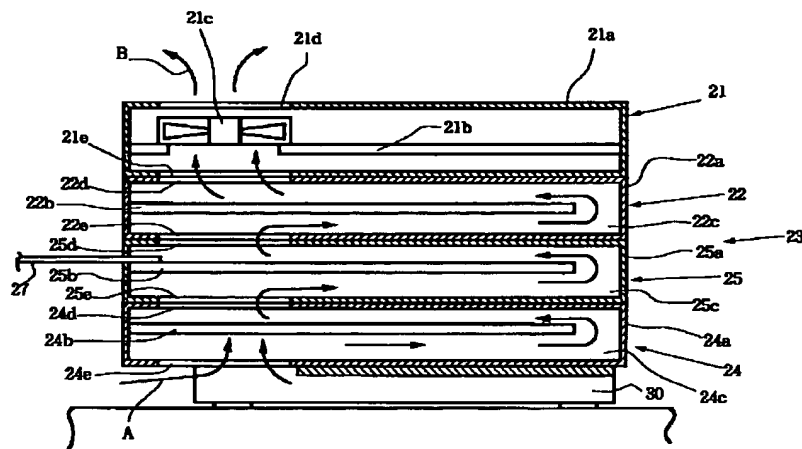
【図2】本発明実施例のインサークットエミュレータの全体構成を説明する斜視図である。

【図3】本発明実施例のインサークットエミュレータの分解斜視図である。

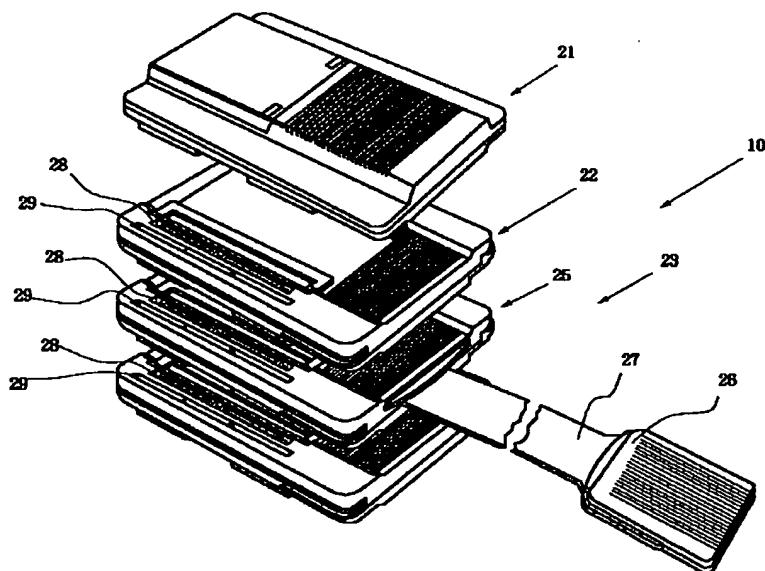
【符号の説明】

- | | | | |
|------|-------------------|------|-------------|
| 10 | インサークットエミュレータ | 24 a | ケース |
| 21 | ファンユニット | 24 b | 回路基板 |
| 21 a | ケース | 24 c | 流通路 |
| 21 c | 小型軸流ファン | 25 | プローブベースユニット |
| 22 | トレースユニット | 25 a | ケース |
| 22 a | ケース | 25 b | 回路基板 |
| 22 b | 回路基板 | 25 c | 流通路 |
| 22 c | 流通路 | 26 | プローブ先端部 |
| 23 | 実行ユニット (プローブユニット) | 27 | フレキシブルケーブル |
| 24 | エミュレーションメモリユニット | 28 | コネクタ |
| | | 29 | 着脱機構 |

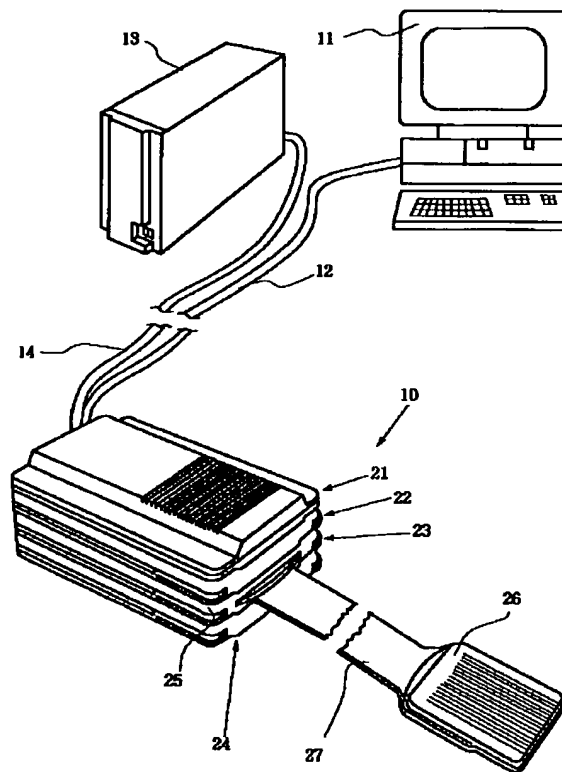
【図1】



【図3】



【図2】



フロントページの続き

(72)発明者 浅間 広美
神奈川県川崎市麻生区南黒川6-2 株式
会社ソフィアシステムズマイコンシティ事
業所内